

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-154784

(43)Date of publication of application : 14.08.1985

(51)Int.Cl.

H04N 5/335

(21)Application number : 59-010039

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.01.1984

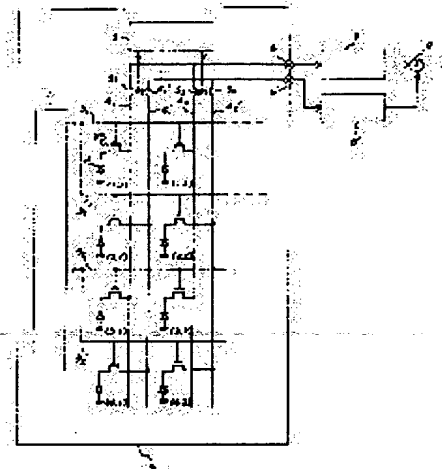
(72)Inventor : AYUSAWA IWAO

(54) SOLID IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To generate an image signal of a high resolution reproduced picture by horizontally scanning plural pieces of horizontal picture element strings simultaneously and by obtaining an image signal.

CONSTITUTION: A horizontal picture element string of an odd number order is connected to a vertical signal line 41 in a solid image pickup element 7 and that of an even number order is connected to a vertical signal line 41'. Horizontal switches 51 and 51' connect the respective signal lines to output terminals 6 and 6' by the same horizontal-scan pulse from a horizontal-scan circuit 2. The image signal is written in storages 8 and 8' and at the same time, reading out is started at a reading speed twice as fast as a writing speed. The image signal is compressed into 1/2 and read out alternately from the storages 8 and 8' and taken out as a continuous image signal through an adder 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-154784

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)8月14日

H 04 N 5/335

6940-5C

審査請求 未請求 発明の数 1 (全13頁)

⑭ 発明の名称 固体撮像装置

⑯ 特 願 昭59-10039

⑰ 出 願 昭59(1984)1月25日

⑱ 発 明 者 鮎 沢 巖 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

1. 発明の名称 固体撮像装置

2. 特許請求の範囲

複数の絵素が2次元的に配列されてなりP(但し、Pは2以上の整数)個の水平絵素列を同時に水平走査してQ(但し、Qは2以上の整数)個の映像信号を同時に出力する固体撮像素子と、該Q個の映像信号が日々書き込まれ書き込み速度のQ倍の速度で読出しされる記憶装置とを有し、該固体撮像素子の1水平走査に要する期間の1/Qの水平期間の映像信号を得ることができるように構成したことを特徴とする固体撮像装置。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、高解像度テレビジョン方式に好適な固体撮像装置に関する。

〔発明の背景〕

近年、撮像装置の小型・軽量化の一環として、映像管に代えて固体撮像素子が用いられるようになってきた。固体撮像素子は、2次元的にホトダ

イオードなどからなる光電変換素子(以下、絵素という)を配列して受光面とし、この受光面に結像された光学像を各絵素によって光電変換し、これを水平・垂直走査することによって光学像に応じた映像信号を出力するものであって、単管状をなし、映像管に比べて著しく小型に構成されるものである。

第1図は従来の固体撮像素子の一例を示す構成図であって、1は垂直走査回路、2は水平走査回路、3₁~3_nは垂直走査線、4₁~4_nは垂直信号線、5₁~5_nは水平スイッチ、6は出力端子、pは絵素、VSは垂直スイッチである。

同図において、矢印Xを水平方向、矢印Y方向を垂直方向とし、水平方向にn個のホトダイオード、すなわち、絵素pが配列されてなる絵素列が垂直方向にn個設けられている。すなわち、絵素pが水平方向にn個、垂直方向にn個2次元的に配列されている。第1図においては、このように配列された各絵素の位置を2次元座標で示し、左上隅の絵素pの位置を(1,1)とし、右下隅の

絵素 P を (m, n) としている。また、水平方向に配列された n 個の絵素の列を水平絵素列、垂直方向に配列された m 個の絵素の列を垂直絵素列という。

図面上左から1番目の垂直絵素列1の各絵素 P は、天々垂直スイッチ $V S$ を介して垂直信号線 4_1 に共通に接続されている。すなわち、左から1番目の垂直絵素列の各絵素 P は垂直スイッチ $V S$ を介して垂直信号線 4_1 に共通に接続され、左から2番目の垂直絵素列の各絵素 P は垂直スイッチ $V S$ を介して垂直信号線 4_2 に共通に接続され、以下、同様に、1番右側の垂直絵素列の各絵素 P は垂直スイッチ $V S$ を介して垂直信号線 4_n に接続されている。各垂直信号線 $4_1, 4_2, \dots, 4_n$ は、天々水平スイッチ $5_1, 5_2, \dots, 5_n$ を介して出力端子6に接続されている。

水平スイッチ $5_1, 5_2, \dots, 5_n$ は、水平走査回路2から供給される水平走査パルスにより、オン、オフ制御される。また、垂直スイッチ $V S$ は、垂直走査回路から供給される垂直走査パルスによつ

てオン、オフ制御されるが、図面上上から1番目の水平絵素列の各絵素 P に接続された各垂直スイッチ $V S$ には、垂直走査線 3_1 を介して同時に垂直走査パルスが供給され、これら垂直スイッチ $V S$ が同時にオン、オフ制御されるというように、上から1番目の水平絵素列の各絵素 P に接続された垂直スイッチ $V S$ は同時にオン、オフ制御される。

垂直走査回路1は垂直走査線 $3_1, 3_2, \dots, 3_n$ に順次に垂直走査パルスを出力し、また、水平走査回路2は、垂直走査線 $3_1, 3_2, \dots, 3_n$ の1つに垂直走査パルスが供給される毎に、水平スイッチ $5_1, 5_2, \dots, 5_n$ に順次に水平走査パルスを供給し、これらを順次にオン状態とする。

次に、この固体撮像素子の動作について説明する。

図示しない光学系により、受光面に光学像が結像されると、この受光面に配列された各絵素 P に光学像の光量に応じた電荷が生ずる。

そこで、まず、垂直走査回路1は垂直走査線 3_1 に垂直パルスを出力し、これに応じて上から1番

目の水平絵素列の各絵素 P に接続された垂直スイッチ $V S$ がオン状態となり、これらの絵素 P の電荷が天々垂直信号線 $4_1, 4_2, \dots, 4_n$ に転送される。かかる転送が完了すると、まず、水平走査回路2は水平スイッチ 5_1 に水平走査パルスを供給してそれをオン状態とし、垂直信号線 4_1 の電荷(すなわち、位置 $(1, 1)$ の絵素 P に生じた電荷)は水平スイッチ 5_1 を介して出力端子6に供給される。次に、水平走査回路2は水平スイッチ 5_2 に水平走査パルスを供給してそれをオン状態とし垂直信号線 4_2 の電荷(すなわち、位置 $(1, 2)$ の絵素 P に生じた電荷)は水平スイッチ 5_2 を介して出力端子6に供給される。このようにして水平走査回路2から水平スイッチ $5_1, 5_2, \dots$ に順次水平走査パルスが供給されて各垂直信号線 $4_1, 4_2, \dots$ の電荷が順次出力端子6に供給され、最後の水平スイッチ 5_n がオン状態となって垂直信号線 4_n の電荷が出力端子6に供給されて、1つの水平絵素列の読み出し、すなわち、1水平走査が完了して出力端子6に1水平走査期間の映像信号が得ら

れる。

次に、垂直走査回路1は垂直走査線 3_2 に垂直走査パルスを出力し、同様にして、上から2番目の水平絵素列の各絵素 P の電荷を垂直信号線 $4_1, 4_2, \dots, 4_n$ に天々転送する。そして、水平走査回路2は水平スイッチ $5_1, 5_2, \dots, 5_n$ に順次水平走査パルスを供給し、垂直信号線 $4_1, 4_2, \dots, 4_n$ の電荷が順次出力端子6に供給され、次の1水平走査期間の映像信号が得られる。

このようにして、垂直走査回路1から垂直走査パルスによる絵素の電荷の垂直信号線 $4_1, 4_2, \dots, 4_n$ への転送と、水平走査回路2からの水平走査パルスによる垂直信号線 $4_1, 4_2, \dots, 4_n$ から出力端子6への順次の電荷転送とが各水平絵素列毎に行なわれ、出力端子6に映像信号が得られる。

さて、かかる固体撮像素子を備えた固体撮像素子によって得られる映像信号は、テレビジョン受像機(以下、モニタテレビという)に供給され、画像が再生されるわけであるが、通常、かかる画像の1水平走査線分に対応する映像信号は、第1

図に示した固体撮像素子の1水平絵素列の各絵素から読み出された電荷からなる。

そこで、モニターテレビで再生される画像の解像度を向上させる場合には、固体撮像素子の1水平絵素列の絵素数を増加させる必要がある。しかし、その絵素数を増加させると、映像信号の水平走査期間は一定であるから、水平走査速度、すなわち、水平走査回路2が水平パルスが発生する速度および水平スイッチ $5_1, 5_2, \dots, 5_n$ の動作速度を大幅に高めなければならない。

従来の固体撮像素子においては、1水平絵素列における絵素数は400個程度であり、これを映像信号の1水平走査期間(約635 μ sec)で順次読み出しており、このために、水平スイッチ $5_1, 5_2, \dots, 5_n$ は約150nssecの間隔で順次にオン、オフ制御され、また、水平走査回路2はシフトレジスタで構成されているが、このシフトレジスタは約6~7MHzのクロックパルスによって駆動され、いずれも非常に高速に動作している。再生画像の解像度をさらに高めようとする、水平走査

回路2や水平スイッチ $5_1, 5_2, \dots, 5_n$ に、さらにこれ以上の高速化が要求されることになる。

ところで、近年、現行のテレビジョン方式に比べてより高解像度の画像を再生するための、いわゆる高品位テレビジョン方式が盛んに論議されているが、この方式に依じる固体撮像素子としては、固体撮像素子の1水平絵素列当りの絵素数を、従来の固体撮像素子の2倍あるいはそれ以上にする必要がある。しかし、固体撮像素子を製造するための現在の半導体技術では、上記のような絵素数の増加に対応できる高速動作を行なう水平走査回路を実現することは極めて困難である。

(発明の目的)

本発明の目的は、かかる問題点を解消し、水平走査回路の動作の高速化を回避して高解像度の再生画像の映像信号を発生可能とした固体撮像素子を提供するにある。

(発明の概要)

この目的を達成するために、本発明は、固体撮像素子の p (但し、 p は2以上の整数)個の水平

絵素列を同時に水平走査して Q (但し、 Q は2以上の整数)個の映像信号を得、これら映像信号を記憶装置に同時に書き込んで書き込み速度の Q 倍の読み出し速度で順番に読み出し、前記固体撮像素子における水平走査期間の $1/Q$ の水平走査期間の映像信号を得るようにした点に特徴がある。

(発明の実施例)

以下、本発明の実施例を図面について説明する。

第2図は本発明による固体撮像素子の一実施例を示すブロック図であって、 $3_1', 3_2'$ は垂直走査線、 $4_1', 4_2'$ は垂直信号線、 $5_1', 5_2'$ は水平スイッチ、 $6'$ は出力端子、7は固体撮像素子、 $8, 8'$ は記憶装置、9は加算回路であり、第1図に対応する部分には同一符号をつけている。

第2図において、固体撮像素子7には、第1図に示した従来の固体撮像素子と同様に、多数の絵素 p が2次的に配列されているが、説明を簡略化するために、4つの水平絵素列を示し、しかも、各水平絵素列について、2つの絵素 p のみを示している。

さて、この実施例においては、以下、水平絵素列は図面上から、垂直絵素列は図面上左から順番をつけ、水平、垂直絵素列の絵素の順番も同様とすると、奇数番目の水平絵素列の左から第1番目の絵素 p (すなわち、位置 $(1, 1), (3, 1)$ の絵素 p)は、天々垂直スイッチ V_S を介して垂直信号線 4_1 に接続され、偶数番目の水平絵素列の第1番目の絵素 p (すなわち、位置 $(2, 1), (4, 1)$ の絵素 p)は、天々垂直スイッチ V_S を介して垂直信号線 $4_1'$ に接続されている。次に奇数番目の水平絵素列の第2番目の絵素 p は、天々垂直スイッチ V_S を介して垂直信号線 4_2 に接続され、偶数番目の水平絵素列の同じく第2番目の絵素 p は、天々垂直スイッチ V_S を介して垂直信号線 $4_2'$ に接続されている。このように、各垂直絵素列毎に2つずつ垂直信号線が設けられ、その一方の垂直信号線に垂直絵素列の1つおきの絵素が垂直スイッチを介して共通に接続され、他方の垂直信号線にその垂直絵素列の残りの1つおきの絵素が垂直スイッチを介して共通に接続されて

いる。

垂直信号線 $4_1, 4_2, \dots$ は水平スイッチ $5_1, 5_2, \dots$ を介して固体撮像素子7の一万の出力端子6に接続され、また、垂直信号線 $4_1', 4_2', \dots$ は水平スイッチ $5_1', 5_2', \dots$ を介して他万の出力端子6'に接続されている。

水平スイッチ $5_1, 5_1'$ は水平走査回路2から同一の水平走査パルスが供給され、水平スイッチ $5_2, 5_2'$ には他の同一の水平走査パルスが供給される。すなわち、同一の垂直線素列に属する線素pが垂直スイッチVSを介して接続される2つの垂直信号線は、時々同一の水平パルスが供給される異なる水平スイッチを介して別々の出力端子6, 6'に接続されている。

さらに、1番目の水平線素列の各線素に接続された垂直スイッチVSは、垂直走査線3₁を介して供給される垂直走査パルスによってオン状態となり、2番目の水平線素列の各線素に接続された垂直スイッチVSは、垂直走査線3₁'を介して供給される垂直走査パルスによってオン状態となり、同時に読み出しが行なわれる。

このように、記憶装置8, 8'は、固体撮像素子7の出力端子6, 6'から供給される映像信号を同時に書き込み、これらを1/2倍に時間縮圧縮して交互に読み出す。

このように、記憶装置8, 8'は、固体撮像素子7の出力端子6, 6'から供給される映像信号を同時に書き込み、これらを1/2倍に時間縮圧縮して交互に読み出す。

記憶装置8, 8'からの映像信号は、加算回路9に供給されて加算され、連続した映像信号となる。

この映像信号の1水平走査期間は、固体撮像素子7の1水平走査期間Tの1/2倍である。そこでかかる映像信号の1水平走査期間をモニタテレビの1水平走査に要する期間に一致させると、固体撮像素子7の1水平走査期間は、かかる映像信号の1水平走査期間の2倍とすればよく、水平走査回路2の動作を、かかる映像信号を発生させるための従来の固体撮像素子に比べて、1/2に低速化させることができる。

また、水平走査回路の動作速度すなわち水平走査パルスのくり返し周波数を従来の固体撮像素子と同一にすると、固体撮像素子7の水平方向の線素数を従来の2倍とすることができ、したがって

に読み出しを開始する。この読み出し速度は書き込み速度の2倍であり、このために、記憶装置8からは1/2倍に時間縮圧縮された映像信号が得られる。このようにして、記憶装置8, 8'に1水平走査期間Tの映像信号が書き込まれると、第3図S₁のRで示すように、これとほぼ同時に、記憶装置8に書き込まれた映像信号が読み出される。

次に、固体撮像素子7が次の水平走査を開始する。これによって、第3図S₂のMに示すように、記憶装置8, 8'は固体撮像素子7から映像信号が供給されて書き込みを開始するが、これと同時に記憶装置8'は書き込み速度の2倍の読み出し速度で読み出しを開始する。この読み出しは、固体撮像素子7の1回目の水平走査時に書き込まれた映像信号について行なわれ、第3図S₂のRに示すように、T/2の期間でこの映像信号が全て読み出される。

次いで、記憶装置8の読み出しが開始し、固体撮像素子7の2回目の水平走査の残りのT/2期間に、この2回目の水平走査期間に書き込まれた映

得られる映像信号による再生画像の解像度は大幅に向上する。

第4図は第2図の記憶装置8, 8'の動作の他の具体例を示すタイミングチャートであって、各符号は第3図に対応している。

この動作は、記憶装置8が記憶開始から固体撮像素子7の1水平走査期間Tだけ遅れて読み出しパルスによってオン状態となるが、垂直走査線3₁, 3₁'には垂直走査回路1から同一の垂直走査パルスが出力され、したがって、これら2つの水平線素列の各線素pに接続された垂直スイッチVSは全て同時にオン、オフ制御される。以下同様に、隣り合う2つの水平線素列の各線素pに接続された垂直スイッチVSは全て同時にオン、オフ制御される。

出力端子6, 6'は時々書き込み速度に対して読み出し速度が2倍である記憶装置8, 8'に接続されている。

次に、この実施例の動作について説明する。

従来の技術と同様に、各線素pに受光量に応じた

電荷が生ずると、まず、垂直走査回路2は垂直走査線 $5_1, 5_1'$ に垂直走査パルスを出し、1番目の水平線素列の線素Pに生じた電荷は天々垂直信号線 $4_1, 4_2, \dots$ に転送され、2番目水平線素列の線素Pに生じた電荷は天々垂直信号線 $4_1', 4_2', \dots$ に転送される。

これら電荷の転送が完了すると、まず、水平走査回路2が水平スイッチ $5_1, 5_1'$ に水平走査パルスを供給してこれらをオン状態にし、垂直信号線 4_1 の電荷(すなわち、位置(1, 1)の線素Pに生じた電荷)を水平スイッチ 5_1 、出力端子6を介して記憶装置8に供給すると同時に、垂直信号線 $4_1'$ の電荷(すなわち、位置(2, 1)の線素Pに生じた電荷)を水平スイッチ $5_1'$ 、出力端子6'を介して記憶装置8'に供給する。

次に、水平走査回路2は水平スイッチ $5_2, 5_2'$ に水平走査パルスを供給してこれらをオン状態とし、垂直信号線 4_2 の電荷(すなわち、位置(1, 2)の線素Pに生じた電荷)を記憶装置8に、垂直信号線 $4_2'$ の電荷(すなわち、位置(2, 2))

の線素Pに生じた電荷)を記憶装置8'に同時に供給する。以下同様にして、垂直線素列毎に、1番目および2番目の水平線素列の線素Pに生じた電荷が同時に記憶装置8, 8'に供給される。

このようにして、1番目および2番目の水平線素列の線素に生じた電荷が全て記憶装置8, 8'に供給されて固体撮像素子7の1水平走査が完了する。すなわち、記憶装置8, 8'には、天々1水平走査期間の映像信号が供給されたことになる。次いで、垂直走査回路2は垂直走査線 $5_2', 5_2'$ に垂直走査パルスを供給し、3番目の水平線素列の各線素Pに生じた電荷を天々垂直信号線 $4_1, 4_2, \dots$ に、また、4番目の水平線素列の各線素Pに生じた電荷を天々垂直信号線 $4_1', 4_2', \dots$ に転送し、水平走査回路2による水平スイッチ 5_1 と $5_1'$ 、 5_2 と $5_2'$ 、…の順次のオン、オフ制御にもとづいて、上記のように垂直信号線 $4_1, 4_2, \dots$ の電荷が順次記憶装置8に、垂直信号線 $4_1', 4_2', \dots$ の電荷が順次記憶装置8'に供給されて水平走査がなされる。

以下同様にして、隣接せる2つの水平線素列が同時に水平走査されるようにして、垂直方向に水平走査される水平線素列が移っていく。

かかる動作は、換言すれば、1つおきの水平線素列と他の1つおきの水平線素列とが並列に位相同期して水平、垂直走査するものである。

記憶装置8, 8'は読み出し速度が書き込み速度の2倍に設定されており、しかも、これら記憶装置8, 8'の読み出しタイミングは、固体撮像素子7の1水平走査期間の1/2だけづれている。

ここで、記憶装置8, 8'の書き込み、読み出し動作の一例を、第3図を用いてさらに詳しく説明する。なお、尚図において、S₁は固体撮像素子7の1回目の水平走査時における記憶装置8, 8'の動作を、S₂は同じく2回目の水平走査時における記憶装置8, 8'の動作を天々示し、また、Mは書き込み動作を、Rは読み出し動作を天々示している。さらに、座標(1, 1), (1, 2), …で表わされる部分は、これと同一表示による位置の線素から得られる電荷による部分信号(以下

線素成分という)を表わすものであり、Tは固体撮像素子7の1水平走査期間である。

さて、先に説明したように、固体撮像素子7の1回目の水平走査期間、第3図S₁のMに示すように、記憶装置8には、位置(1, 1), (1, 2), …の線素Pに生じた電荷による線素成分が順次供給されて書き込まれ、これと同時に、記憶装置8'には、位置(2, 1), (2, 2), …の線素Pに生じた電荷による線素成分が順次供給されて書き込まれる。このときの記憶装置8, 8'の書き込みは水平走査回路2の動作に同期している。

記憶装置8, 8'が固体撮像素子7の1水平走査期間Tの1/2倍の期間書き込みを行なうと、記憶装置を開始し、記憶装置8'は記憶開始から(T + T/2)だけ遅れて読み出しを開始するものであり、他の点については、第3図で示した動作と同様である。かかる動作においても、固体撮像素子7の1水平走査期間Tは加算回路9から得られる映像信号の1水平走査期間の2倍となる。

なお、記憶装置8,8'の読み出しタイミングは、第3図、第4図に示した具体例のみに限定されるものではなく、記憶装置8の読み出しタイミングを記憶装置8'の読み出しタイミングよりも $T/2$ だけ遅めるという条件のもとに、任意に設定可能であって、以上説明したのと同様の効果が得られる。

以上の動作を実現可能な記憶装置8,8'としては、各種の半導体メモリ素子を用いることができ、書き込みあるいは読み出し動作を最小50ns程度の期間で実行するようなものは、すでに実現している。かかる半導体メモリ素子を用いることにより、第3図Rに示す信号読み出しの繰り返し周波数を20MHz程度にまで高速化することは容易に実現できる。また、かかる半導体メモリ素子を用いて、第3図および第4図に示すように、書き込み、読み出し遅延の交換や書き込み、読み出しタイミングを任意に設定することができることは、半導体メモリの技術分野で周知である。

第5図は本発明による固体撮像装置の他の実施例を示すブロック図であって、8₁,8₂,8₁',8₂'

は電荷転送素子、9'は加算回路、10₁,10₂,10₁',10₂'は入力端子、11は切替スイッチ、11a,11bは接点であり、第2図に対応する部分には同一符号をつけて説明を一部省略する。

この実施例は、第2図で示した実施例の記憶装置8,8'として、アナログ遅延素子として広く用いられているCCD(電荷結合デバイス)やBB(バケット・ブリゲード・デバイス)などの電荷転送素子8₁,8₂,8₁',8₂'を用いたものであり、電荷転送素子8₁,8₂は第2図の記憶装置8に対応し、電荷転送素子8₁',8₂'は同じく記憶装置8'に対応する。

第5図において、第2図の固体撮像素子7と同様の動作をなす固体撮像素子7の出力端子6に得られた映像信号は電荷転送素子8₁,8₂に供給され、また、出力端子6'に得られた映像信号は電荷転送素子8₁',8₂'に供給される。電荷転送素子8₁,8₂はいずれか一方が書き込みモードのとき、他方は読み出しモードにあり、電荷転送素子8₁',8₂'について同様である。また、電荷転送素子8₁,

と8₁'および電荷転送素子8₂と8₂'とは天々同一モードにあり、書き込みモードにある2つの電荷転送素子は同一タイミングで書き込みを行ない、読み出しモードにある2つの電荷転送素子は固体撮像素子7の1水平走査期間Tの1/2倍の期間だけづれて読み出しを開始する。さらに、電荷転送素子8₁,8₂,8₁',8₂'の読み出し速度は書き込み速度の2倍であることは、第2図の記憶装置8,8'と同様である。

そこで、まず、入力端子10₁,10₁'からの書き込みクロックパルスが供給されると、電荷転送素子8₁,8₁'は映像信号の書き込みを開始する。電荷転送素子8₁,8₁'に1水平走査期間の映像信号が記憶されると、電荷転送素子8₁,8₁'は読み出しモードとなり、電荷転送素子8₂,8₂'が書き込みモードとなって映像信号の書き込みを開始する。読み出しモードとなった電荷転送素子8₁,8₁'は、まず、入力端子10₁から読み出しクロックパルスが供給されて電荷転送素子8₁が書き込み速度の2倍の速度で読み出しを行ない、記憶された

1水平走査期間の映像信号を $T/2$ の期間で読み出す。次の $T/2$ の期間に、入力端子10₁'から読み出しクロックパルスが供給され、電荷転送素子8₁'から1水平走査期間の映像信号が読み出される。電荷転送素子8₁,8₁'から読み出された映像信号は、加算回路9'で加算され、接点11a側に閉じている切替スイッチ11を介して図示しない処理回路に供給される。

電荷転送素子8₁,8₁'の映像信号の読み出しと電荷転送素子8₂,8₂'の1水平走査期間の映像信号の書き込みが完了すると、電荷転送素子8₁,8₁'は再び上記のように映像信号の書き込みを開始し、電荷転送素子8₂,8₂'は読み出しモードとなる。これとともに、切替スイッチ11は接点11bへ切替わる。

そこで、まず、入力端子10₂に読み出しクロックパルスが供給され、電荷転送素子8₂は書き込み速度の2倍の速度で記憶された1水平走査期間の映像信号の読み出しを行なう。この映像信号が $T/2$ の期間で読み出されてしまうと、次に、入力

端子 $10_2'$ に読み出しクロックパルスが供給され、電荷転送素子 $10_2'$ から $T/2$ の期間に1水平走査期間の映像信号が読み出される。電荷転送素子 8_2 、 $8_2'$ から読み出された天々の映像信号は、加算回路9'で加算され、切替スイッチ11を介して図示しない処理回路に供給される。

以上のように、電荷転送素子 8_1 、 $8_1'$ と電荷転送素子 8_2 、 $8_2'$ とが交互に書き込みモードと読み出しモードとに切替えられ、切替スイッチ11から、固体撮像素子7の1水平走査期間の $1/2$ 倍の1水平走査期間である映像信号が得られる。なお電荷転送素子 8_1 、 8_2 、 $8_1'$ 、 $8_2'$ のかかる動作は先に示した第4図の動作に対応するものである。

次に、電荷転送素子の動作を、第6図により、さらに詳しく説明する。

ここでは、第5図の電荷転送素子 8_1 、 $8_1'$ について説明し、これら電荷転送素子を第6図aでもって模式的に示す。また、入力端子 10_1 、 $10_1'$ から供給されるクロックパルスを天々 ϕ_1 、 ϕ_1' とする。

動作が第4図 8_2 のRの前半に相当する。そして $T/2$ の期間が経過してパルス t_0' での転送が終ると、電荷転送素子からの1水平走査期間の映像信号の読み出しが完了する。

この読み出し動作の間、クロックパルス ϕ_1' は供給されないが、この読み出し動作が完了すると、書き込み時の2倍の繰り返し周波数のクロックパルス ϕ_1' が供給され、同様に、電荷転送素子(この場合、第5図の電荷転送素子 $8_1'$)では、パルス t_1' 、 t_2' 、 t_3' …のタイミングで転送が行なわれて映像信号の読み出しが行なわれる。この動作が第4図 8_2 のRの後半に相当する。

以上の動作は、第5図の電荷転送素子 8_2 、 $8_2'$ についても同様であって、ただ、入力端子 10_2 、 $10_2'$ に供給されるクロックパルスは、入力端子 10_1 、 $10_1'$ に供給されるクロックパルスより時間 T に相当する位相ずれがあり、電荷転送素子 8_2 、 $8_2'$ の動作が天々電荷転送素子 8_1 、 $8_1'$ よりも同じ時間 T だけ遅れる。このために、第4図で示した動作が得られるのである。

第6図において、これら電荷転送素子が、最初の T の期間書き込みモードにあるとすると、この T の期間、クロックパルス ϕ_1 、 ϕ_1' のタイミングは固体撮像素子7における水平走査回路2(第2図)の水平走査パルスの発生タイミングに同期している。そこで、クロックパルス ϕ_1 、 ϕ_1' のパルス t_1 のタイミングで、電荷転送素子の入力端子 a_{1a} から映像信号の絵素成分が取り込まれ、以下順次パルス t_2 、 t_3 …のタイミングで映像信号の絵素成分が取り込まれるとともに、取り込まれた映像信号の絵素成分は順次転送される。この動作が第4図 8_1 のMに相当する。

このようにして T の期間が経過し、パルス t_0 の取り込みが終って電荷転送素子に1水平走査期間の映像信号が記憶されると、まず、クロックパルス ϕ_1 の繰り返し周波数が2倍となり、パルス t_1' 、 t_2' 、 t_3' …のタイミングで電荷転送素子(この場合、第5図の電荷転送素子 8_1)における絵素成分の転送が行なわれ、これとともに、絵素成分が順次出力端子 a_{0a} に読み出される。この

ところで、第6図で示した動作から明らかなように、電荷転送素子から映像信号を読み出す場合には、記憶されている絵素成分は、たとえば、クロックパルス ϕ_1 のパルス t_1' 、 t_2' 、…、 t_n' のタイミングで順次転送されるわけであるが、第5図から明らかなように、電荷転送素子の入力端子 a_{1a} には、常に固体撮像素子7から映像信号が供給されているから、パルス t_1' 、 t_2' 、…、 t_n' により、同時に、入力端子 a_{1a} から映像信号の取り込みも行なっている。

そこで、電荷転送素子から1水平走査期間の映像信号が読み出されてしまった後にも、パルス t_1' 、 t_2' 、…、 t_n' によって取り込まれた不要信号が電荷転送素子に残留することになる。この不要信号は、電荷転送素子の映像信号の取り込み時、パルス t_1 、 t_2 、…、 t_0 によって転送されて出力端子 a_{0a} から読み出されることになる。

このように、電荷転送素子 8_1 、 8_2 、 $8_1'$ 、 $8_2'$ は、映像信号の書き込み動作時、直前の読み出し動作時に書き込まれた不要信号を出力する。

切替スイッチ11はかかる不要信号を除くために設けられたものであって、電荷転送素子 B_1 、 B_1' の書き込み時には、切替スイッチ11を接点11b側に閉じ、これら電荷転送素子 B_1 、 B_1' が出力する上記不要信号を除き、また、電荷転送素子 B_2 、 B_2' の書き込み時には、切替スイッチ11を接点11a側に閉じ、これら電荷転送素子 B_2 、 B_2' が出力する不要信号を除く。

なお、電荷転送素子 B_1 、 B_2 の入力側と電荷転送素子 B_1' 、 B_2' の入力側とに夫々切替スイッチを設け、書き込みモードにある電荷転送素子にのみ固体撮像素子7から映像信号を供給するように構成しても、同時に上記の不要信号を除くことができ、また、この場合、切替スイッチ11に代えて加算回路を用いることができる。

以上の実施例では、説明を簡明にするために、映像信号の1水平走査期間(第5図および第4図のT/2の期間)全体にわたって固体撮像素子の1つの水平線素列からの信号が読み出されるものとしたが、実際には、映像信号の1水平走査期間に

はブランキング期間が存在し、固体撮像素子においては、このブランキング期間に相当する数だけ、水平線素列の線素数を減じている。このような固体撮像素子に対しては、たとえば、第5図のMにおいて、 $(1,1) \sim (1,3)$ は線素からの信号ではない雑音成分が記憶されていることになる。しかし、読み出される映像信号(第3図のR)の $(1,1) \sim (1,3)$ をマスクしてしまうことにより、かかる雑音成分を除くことができ、このための手段は従来公知の技術で容易に実現可能である。かかる雑音成分を除く他の方法としては、記憶装置(たとえば、第2図の8、8')の容量(すなわち、記憶可能な線素成分の数)を上記線素減少分だけ減じ、映像信号の書き込み、読み出しのタイミングをその分だけ遅らせればよい。かかるタイミングの設定が可能であることは、半導体メモリの技術分野において周知であり、また、第6図の動作説明からも明らかである。

第7図は本発明による固体撮像装置のさらに他の実施例を示す構成図であって、 3_1 、 $3_1'$ 、 3_2 、

$3_2'$ は垂直走査線、 4_{1a} 、 4_{1b} 、 4_{1c} 、 \dots 、 4_{2b} は垂直信号線、 5_{1a} 、 5_{1b} 、 5_{1c} 、 \dots 、 5_{2b} は水平スイッチ、 6_a 、 6_b 、 6_c 、 \dots 、 6_d は出力端子、 12_1 、 $12_1'$ 、 12_2 、 $12_2'$ 、 13 、 $13'$ は加算回路であり、第2図に対応する部分には同一符号をつけている。

この実施例は、単一の固体撮像素子を用いてカラー映像信号を発生させるようにしたものであって、第7図では固体撮像素子7のみを示し、第2図や第5図で示した実施例と同様に用いる記憶装置は省略している。

第7図において、固体撮像素子7の各線素pには、夫々所定の光透過特性の色フィルタ(図示せず)が対向して設けられ、入射光はこれら色フィルタを透過した色成分のみが線素pに照射される。線素pにはその受光部に応じた電荷が生ずる。色フィルタとしては、通常、3種類あるいは4種類の異なる色フィルタが用いられるが、この実施例では、4種類の色フィルタが用いられるものとしている。

そこで、奇数番目の水平線素列の奇数番目の線

素p(すなわち、位置 $(1,1)$ 、 $(1,3)$ 、 \dots 、 $(3,1)$ 、 $(3,3)$ 、 \dots の線素p)には第1の色フィルタが対向して設けられ、これら水平線素列の偶数番目の線素p(すなわち、位置 $(1,2)$ 、 \dots 、 $(3,2)$ 、 \dots の線素p)には第2の色フィルタが対向して設けられ、また、偶数番目の水平線素列の奇数番目の線素p(すなわち位置 $(2,1)$ 、 $(2,3)$ 、 \dots 、 $(4,1)$ 、 $(4,3)$ 、 \dots の線素p)には第3の色フィルタが対向して設けられ、これら水平線素列の偶数番目の線素p(すなわち、位置 $(2,2)$ 、 \dots 、 $(4,2)$ 、 \dots の線素p)には第4の色フィルタが対向して設けられている。したがって、位置 $(1,1)$ 、 $(1,2)$ 、 $(2,1)$ 、 $(2,2)$ の線素pに対向する各色フィルタの配置と、位置 $(3,1)$ 、 $(3,2)$ 、 $(4,1)$ 、 $(4,2)$ の線素pに對向する各色フィルタの配置とは同一である。

各垂直線素列には4つの垂直信号線が設けられ、垂直線素列の線素pは4つおき毎に4つのグループ分けられ、同一グループの線素pは垂直スイ

チVSを介して共通の垂直信号線に接続されているが、異なるグループの絵素pが垂直スイッチVSを介して接続される垂直信号線は異なっている。すなわち、1番目の垂直絵素列には、垂直信号線4_{1a}, 4_{1b}, 4_{1a'}, 4_{1b'}が設けられ、2番目の垂直絵素列には、垂直信号線4_{2a}, 4_{2b}, 4_{2a'}, 4_{2b'}が設けられている(以下、同様)。垂直信号線4_{1a}には1番目の垂直絵素列における第1の絵素グループ内の位置(1, 1)の絵素pが垂直スイッチVSを介して接続され、垂直信号線4_{1b}には、同じく第2の絵素グループ内の位置(2, 1)の絵素pが接続され、垂直信号線4_{1a'}には、同じく第3の絵素グループ内の位置(3, 1)の絵素pが接続され、さらに、垂直信号線4_{1b'}には、同じく第4の絵素グループ内の位置(4, 1)の絵素pが接続されている。他の垂直絵素列についても、絵素pと垂直信号線との接続関係はこれと同様である。

垂直信号線4_{1a}, 4_{1b}, 4_{1a'}, 4_{1b'}は水平走査回路2から供給される水平走査パルスによって同時にオン状態となる水平スイッチ5_{1a}, 5_{1b}, 5_{1a'}, 5_{1b'}を介して天々出力端子6_a, 6_b, 6_{a'}, 6_{b'}に接続され、垂直信号線4_{2a}, 4_{2b}, 4_{2a'}, 4_{2b'}は同じく水平走査パルスによって同時にオン状態となる水平スイッチ5_{2a}, 5_{2b}, 5_{2a'}, 5_{2b'}を介して出力端子6_a, 6_b, 6_{a'}, 6_{b'}に接続されている。以下、同様に、奇数番目の垂直絵素列に対する4つの垂直信号線は、天々水平走査パルスによって同時にオン状態となる水平スイッチを介し、出力端子6_a, 6_b, 6_{a'}, 6_{b'}に接続され、偶数番目の垂直絵素列に対する4つの垂直信号線は、同様にして、天々出力端子6_a, 6_b, 6_{a'}, 6_{b'}に接続されている。

一方、上から連なる4つの水平絵素列毎に、それらの絵素pに接続された垂直スイッチVSには同一の垂直走査パルスが供給されて同時にオン状態となる。

次に、この実施例の動作について説明する。

いま、垂直走査回路1が垂直走査パルスを出力し、この垂直走査パルスが垂直走査線3₁, 3_{1'}, 3₂, 3_{2'}に供給されると、1番目ないし4番目の水平絵素列の各絵素pに接続された垂直スイッチVS

が全てオン状態となり、位置(1, 1)の絵素pに生じた電荷は垂直信号線4_{1a}に転送され、位置(1, 2)の絵素pに生じた電荷は垂直信号線4_{1b}に転送されるというように、天々の絵素pに生じた電荷は対応する所定の垂直信号線に転送される。

これら絵素pから垂直信号線4_{1a}, 4_{1b}, 4_{1a'}, 4_{1b'}への電荷の転送が終ると、次に、水平走査回路2は水平走査パルスの発生を開始し、まず、水平スイッチ5_{1a}, 5_{1b}, 5_{1a'}, 5_{1b'}に水平走査パルスを供給してこれらをオン状態にする。このために、垂直信号線4_{1a}, 4_{1b}, 4_{1a'}, 4_{1b'}の電荷は、天々同時に、水平スイッチ5_{1a}, 5_{1b}, 5_{1a'}, 5_{1b'}を介して出力端子6_a, 6_b, 6_{a'}, 6_{b'}に供給される。

次に、水平走査回路2は水平スイッチ5_{2a}, 5_{2b}, 5_{2a'}, 5_{2b'}に水平走査パルスを供給し、これらをオン状態にする。このために、垂直信号線4_{2a}, 4_{2b}, 4_{2a'}, 4_{2b'}の電荷は、天々同時に、水平スイッチ5_{2a}, 5_{2b}, 5_{2a'}, 5_{2b'}を介して出力端子6_a, 6_b, 6_{a'}, 6_{b'}に供給される。

このようにして、1番目ないし4番目の水平絵

素列に属する奇数番目の垂直絵素列の各絵素pに生じた天々の電荷が出力端子6_a, 6_b, 6_{a'}, 6_{b'}に、同じく偶数番目の垂直絵素列の各絵素pに生じた天々の電荷が出力端子6_a, 6_b, 6_{a'}, 6_{b'}に交互に供給される。この場合、出力端子6_aでは、上記第1の色フィルタに対向した絵素pからの電荷が時系列に得られ、これが色信号S₁となり、同様に、出力端子6_b, 6_{a'}, 6_{b'}では天々上記第3, 第1, 第3の色フィルタに対向した絵素pからの電荷が時系列に得られ、これらが天々色信号S₃, S_{1'}, S_{3'}となる。また、出力端子6_a, 6_b, 6_{a'}, 6_{b'}では、天々上記第2, 第4, 第2, 第4の色フィルタに対向した絵素pからの電荷が時系列に得られ、これらが色信号S₂, S₄, S_{2'}, S_{4'}となる。なお、かかる色信号を表わす符号の添数字は絵素pに対向する色フィルタの種類を表わし、同一添数字の符号で表わされる色信号は同種の色信号である。

以上の水平絵素列の全ての絵素に生じた電荷が出力端子6_a, 6_b, ..., 6_{a'}に供給されると、固体撮像素子7は1水平走査を完了し、次いで、垂直走

画回路1は垂直走査パルスを発生し、次に続く4つの水平線素列について同様の動作をなして水平走査を行ない、以下、順次4つの水平線素列毎に水平走査を行なう。したがって、出力端子 $6a, 6b, \dots, 6d'$ には、固体撮像素子7の1水平走査に要する期間に等しい水平走査期間の色信号が得られる。

出力端子 $6a$ からの色信号 S_1 と出力端子 $6b$ からの色信号 S_2 とは加算回路12₁で加算され、出力端子 $6a'$ からの色信号 S_1' と出力端子 $6b'$ からの色信号 S_2' とは加算回路12₁'で加算され、出力端子 $6c$ からの色信号 S_3 と出力端子 $6d$ からの色信号 S_4 とは加算回路12₂で加算され、出力端子 $6c'$ からの色信号 S_3' と出力端子 $6d'$ からの色信号 S_4' とは加算回路12₂'で加算される。また、加算回路12₁, 12₂の出力信号は加算回路13で加算され、加算回路12₁', 12₂'の出力信号は加算回路13'で加算される。

以上が固体撮像素子7の動作であるが、第7図で示される4つの水平線素列の水平走査の期間についてみると、加算回路13からの出力信号 S は、

期間の映像信号が得られる。この映像信号は周知の信号処理がなされてカラー映像信号が形成される。

この実施例においても、先に説明した実施例と同様に、固体撮像素子7の水平走査期間を、得られるカラー映像信号の水平走査期間の1/2倍とすることができる。

以上、本発明の実施例について説明したが、これら実施例において、説明を簡潔にするために、本発明の要旨に関係しない回路は省いている。たとえば、記憶装置の前段には、回路素子の特性に応じて増幅器や不調雑音成分を除去するためのフィルタなどが設けられたり、また、第7図の実施例では、適切な色再現性を得るために各色信号の加算比を調整するための回路が設けられたり、さらには記憶装置8, 8'として、半導体デジタルメモリ回路を用いた場合のアナログ-デジタル変換器やデジタル-アナログ変換器などが設けられたりするが、これらのものは省略した。

また、第3図、第4図および第6図の説明では、

1番目および2番目の水平線素列について、従来の固体撮像素子における水平走査と同様の水平走査によって得られたものであり、また、加算回路13'から得られる出力信号 S' は、3番目および4番目の水平線素列について、同じく従来の固体撮像素子と同様の水平走査によって得られたものである。しかも、1番目および2番目の水平線素列と3番目および4番目の水平線素列の色フィルタの配置関係は同一であるから、かかる固体撮像素子7は、1回の水平走査で同時に2つの水平走査線を走査していることになる。したがって、加算回路13, 13'から得られる信号 S, S' は、第2図の実施例における出力端子 $6, 6'$ から得られる信号に対応し、固体撮像素子7における2つの異なる走査線を同時に走査することによって得られる信号である。

そこで、加算回路13, 13'の出力信号 S, S' は第2図あるいは第5図に示した実施例と同様に、1/2の時間軸圧縮や加算などの処理がなされ、固体撮像素子7の水平走査期間の1/2倍の水平走査

記憶容量(記憶される線素成分の数)と固体撮像素子の1水平線素列当りの線素数とが一对一の関係にある場合であったが、必ずしもこれに限るものではない。つまり、固体撮像素子の各線素による映像信号のサンプリング数と記憶装置による映像信号のサンプリング数とが同一でなくともよい。

さらに、以上の実施例では、固体撮像素子はその1回の水平走査で2水平走査期間の映像信号を同時に出力するものであったが、一般に、固体撮像素子が1回の水平走査で k (但し、 k は2以上の整数)水平走査期間の映像信号を同時に出力するようにし、記憶装置で時間軸圧縮して一連の映像信号を得るように構成することができる。但し、これら水平走査期間の映像信号毎に第2図あるいは第5図に準じて記憶装置を設け、これら記憶装置は供給される映像信号を $1/k$ に時間軸圧縮するとともに、これら記憶装置の読み出しタイミングを固体撮像素子の1水平走査期間 T の $1/k$ 倍ずつ順次づらしていかなければならない。

さらにまた、上記実施例では、1個の固体撮像

素子を用いた場合について説明したが、複数の固体撮像素子を用い、かかる固体撮像素子を光学的に適切につらして配置するとともに、同一の水平走査線を同一タイミングで走査するようにして、本発明は実現可能であることは容易に推定できる。

さらにまた、従来の固体撮像素子では、たとえば、第1図において、奇数番目の水平走査線を順次走査して奇フィールドの映像信号が出力され、次に、偶数番目の水平走査線を順次走査して偶フィールドの映像信号が出力される、いわゆるインターレース走査を行なうことができるように、垂直走査回路1を動作させるものも多いが、本発明においても、同様に、インターレース走査を行なうように構成することができる。たとえば、第2図に示した実施例において、1番目と3番目の水平走査線を同時に水平走査し、次に、5番目と7番目の水平走査線を同時に水平走査し、以下、奇数番目の水平走査線を2つつ同時に水平走査することによって奇フィールドの映像信号を発生し、それから、2番目と4番目の水平走査線を同時に

水平走査し、次に、6番目の水平走査線を同時に水平走査し、以下、偶数番目の水平走査線を2つつ同時に水平走査することによって偶フィールドの映像信号を発生するように、各水平走査線に対する垂直走査線を設け、垂直走査回路1の垂直走査パルス発生タイミングを設定すればよい。つまり、インターレース走査方式を採用する場合には、一般に、固体撮像素子のA個おきのB個の水平走査線を同時に水平走査して水平走査する水平走査線を順次(A+1)Bだけ順次つらしていくことにより、1フィールドの映像信号を得るようにし、さらに、1フィールドの映像信号が得られる毎に、水平走査する水平走査線を1つつつらすことにより、次のフィールドの映像信号が得られるようにし、このようにして得られた映像信号は、1水平走査期間が固体撮像素子の1水平走査期間Tの1/Bであり、(A+1):1のインターレース走査方式となる。

〔発明の効果〕

以上説明したように、本発明によれば、固体撮

像素子の水平走査に要する期間を、映像信号の1水平走査期間の2倍あるいはそれ以上とすることができ、該固体撮像素子の水平走査回路の動作速度を高めるとなく、水平方向の走査数が増加して再生画像の解像度を大幅に向上させ、上記従来技術の欠点を除いて優れた機能の固体撮像素子を提供することができる。

4. 図面の簡単な説明

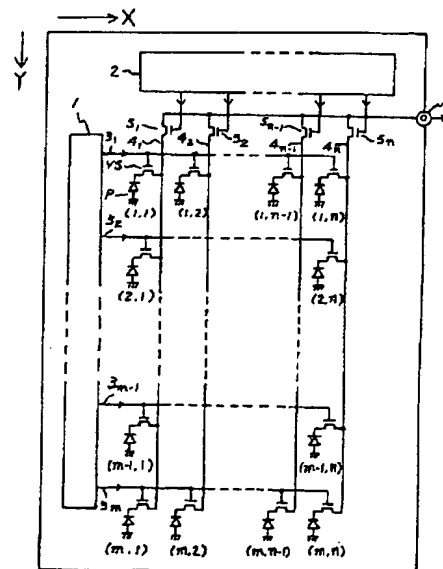
第1図は従来の固体撮像素子の一例を示す構成図、第2図は本発明による固体撮像素子の一例を示すブロック図、第3図および第4図は第2図の記憶装置の動作例を示すタイミングチャート、第5図は本発明による固体撮像素子の他の実施例を示すブロック図、第6図は第5図の記憶装置の動作例を示すタイミングチャート、第7図は本発明による固体撮像素子のさらに他の実施例を示す発振器構成図である。

7…固体撮像素子、8, 8', 8₁, 8₂, 8₁', 8₂'

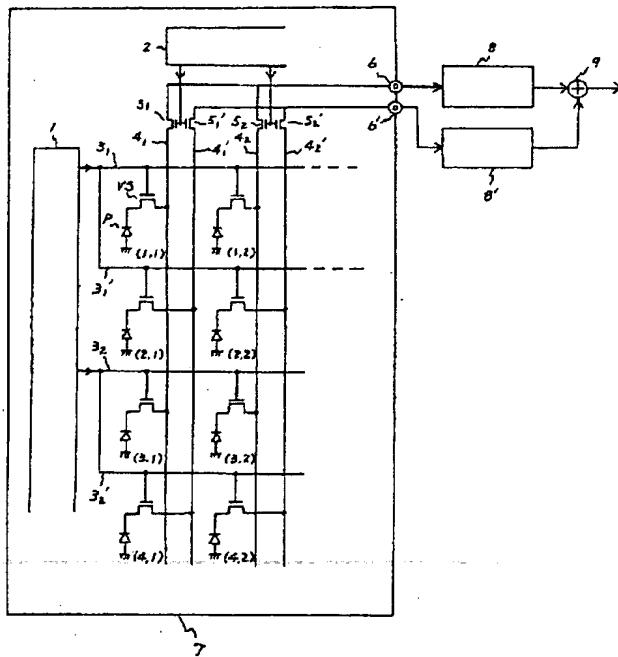
…記憶装置。

代理人弁理士 高 橋 明 夫

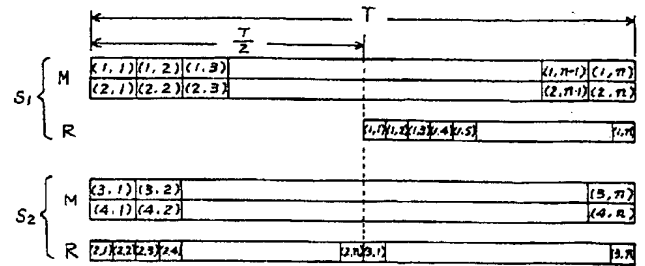
図 1



※ 2 図



第 3 圖



才 4 回

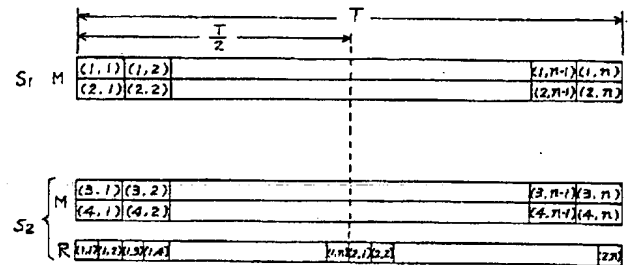
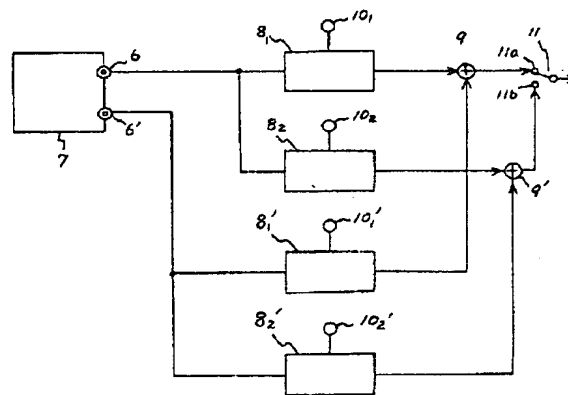


图 5 示



※ 6 図

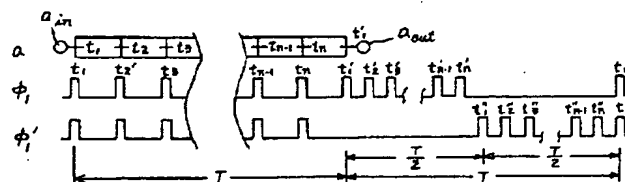


図 7

